

BU4503B BU4503BF

ヘックス 3 ステートバッファ Hex 3-State Noninverting Buffer

T-43-21

BU4503B, BU4503BFは、3ステートのノンインバーティングバッファです。2回路及び4回路を別々にコントロールできます。

BU4503B/BU4503BF are 3-state noninverting buffers. 2 circuits and 4 circuits are separately controllable.

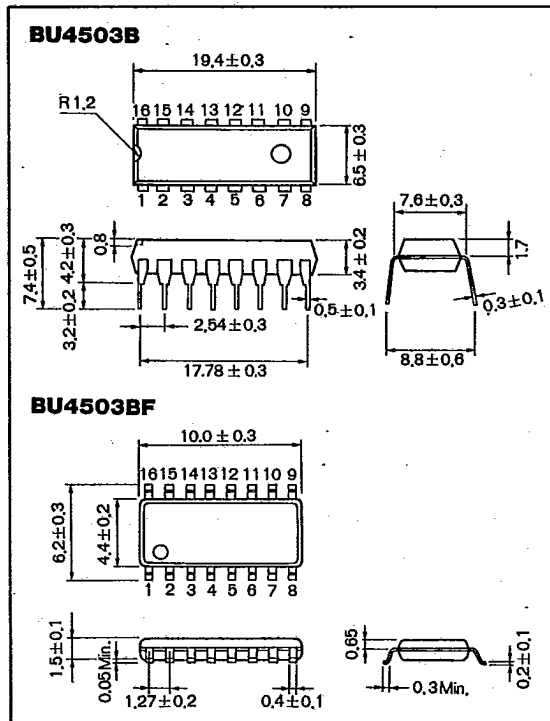
● 特長

- 1) 低消費電力である。
- 2) 動作電源電圧が広い。
- 3) 入力インピーダンスが高い。
- 4) 高ファンアウトである。
- 5) L-TTL2入力, LS-TTL1入力を直接駆動できる。

● Features

- 1) Low consumption power.
- 2) Wide range of operating voltage of power supply.
- 3) High Input Impedance.
- 4) High fan out.
- 5) 2L-TTL inputs and a LS-TTL input are directly driven.

● 外形寸法図 / Dimensions (Unit : mm)



汎用

CMOSロジックBU40000Bシリーズ

● 真理値表 / Truth Table

INPUT		OUTPUT
I	ED	O
L	L	L
H	L	H
X	H	High Z

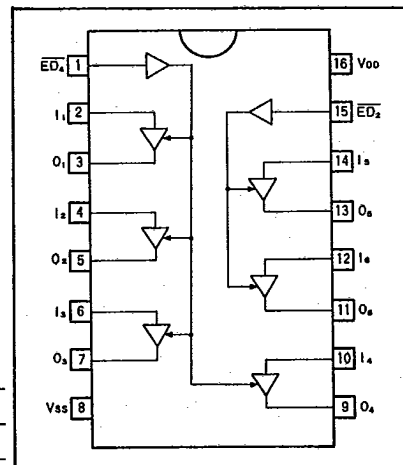
X : Don't Care

● 絶対最大値格 / Absolute Maximum Rating (Ta=25°C)

Parameter	Symbol	Limits	Unit
電源電圧	V _{DD}	-0.3~+18	V
許容損失	P _d	450*	mW
動作温度範囲	T _{opr}	-40~85	°C
保存温度範囲	T _{stg}	-55~150	°C
入力電圧範囲	V _{IN}	-0.3~V _{DD} +0.3	V

*Ta=25°C以上で使用する場合は、1°Cにつき4.5mWを減じる

● ブロックダイアグラム / Block Diagram



● 電気的特性/Electrical Characteristics

直流特性/DC Electrical Characteristics (Ta=25°C)

T-43-21

Parameter	Symbol	Min.	Typ.	Max.	Unit	V _{DD} (V)	Conditions	Test Circuit
ハイレベル入力電圧	V _{IH}	3.5	—	—	V	5	—	Fig.1
		7.0	—	—		10		
		11.0	—	—		15		
ローレベル入力電圧	V _{IL}	—	—	1.5	V	5	—	Fig.1
		—	—	3.0		10		
		—	—	4.0		15		
ハイレベル入力電流	I _{IH}	—	—	0.3	μA	15	V _{IH} =15V	Fig.1
ローレベル入力電流	I _{IL}	—	—	-0.3	μA	15	V _{IL} =0V	Fig.1
ハイレベル出力電圧	V _{OH}	4.95	—	—	V	5	I _O =0mA	Fig.1
		9.95	—	—		10		
		14.95	—	—		15		
ローレベル出力電圧	V _{OL}	—	—	0.05	V	5	I _O =0mA	Fig.1
		—	—	0.05		10		
		—	—	0.05		15		
ハイレベル出力電流	I _{OH}	-0.16	—	—	mA	5	V _{OH} =4.6V	Fig.1
		-0.4	—	—		10	V _{OH} =9.5V	Fig.1
		-1.2	—	—		15	V _{OH} =13.5V	Fig.1
ローレベル出力電流	I _{OL}	0.44	—	—	mA	5	V _{OL} =0.4V	Fig.1
		1.1	—	—		10	V _{OL} =0.5V	Fig.1
		3.0	—	—		15	V _{OL} =1.5V	Fig.1
静的消費電流	I _{DD}	—	—	4	μA	5	V _I =V _{DD} or GND	—
		—	—	8		10		
		—	—	16		15		

Parameter	Symbol	Min.	Typ.	Max.	Unit	V _{DD} (V)	Conditions	Test Circuit
出力立上り時間	t _{TLH}	—	180	—	ns	5		Fig. 2
		—	90	—	ns	10		Fig. 2
		—	65	—	ns	15		Fig. 2
出力立下り時間	t _{THL}	—	100	—	ns	5		Fig. 2
		—	50	—	ns	10		Fig. 2
		—	40	—	ns	15		Fig. 2
伝達遅延時間 (IN-OUT)	t _{PLH}	—	75	—	ns	5		Fig. 2
		—	35	—	ns	10		Fig. 2
		—	25	—	ns	15		Fig. 2
伝達遅延時間 (IN-OUT)	t _{PHL}	—	75	—	ns	5		Fig. 2
		—	35	—	ns	10		Fig. 2
		—	25	—	ns	15		Fig. 2
3ステート 伝達遅延時間	t _{PHZ}	—	75	—	ns	5		Fig. 2
		—	40	—	ns	10		Fig. 2
		—	35	—	ns	15		Fig. 2
3ステート 伝達遅延時間	t _{PLZ}	—	80	—	ns	5		Fig. 2
		—	40	—	ns	10		Fig. 2
		—	35	—	ns	15		Fig. 2
3ステート 伝達遅延時間	t _{PZH}	—	65	—	ns	5		Fig. 2
		—	25	—	ns	10		Fig. 2
		—	20	—	ns	15		Fig. 2
3ステート 伝達遅延時間	t _{PZL}	—	100	—	ns	5		Fig. 2
		—	35	—	ns	10		Fig. 2
		—	25	—	ns	15		Fig. 2

汎用

CMOSロジックBU4000Bシリーズ

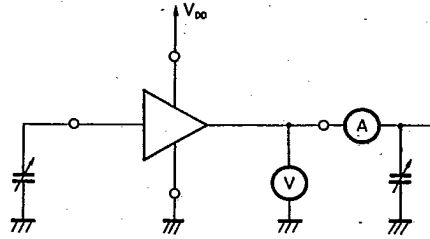


Fig. 1 直流特性測定回路図

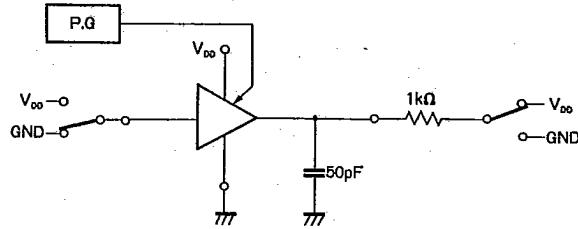


Fig. 2 スイッチング特性測定回路図

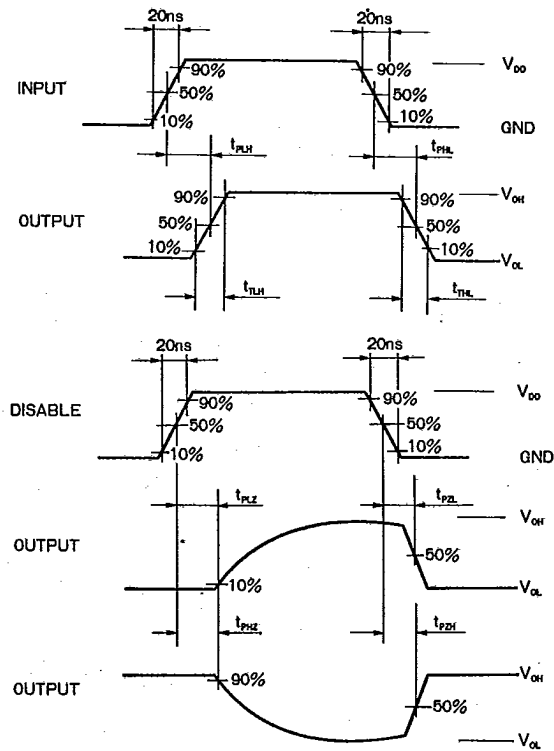


Fig. 3 スイッチング特性測定波形